**Arquitectura de Computadoras**

**Final XX/XX/XXXX**

1. a) ¿Qué métodos para pasaje de argumentos podemos utilizar en una computadora?

b) ¿Cuáles son las diferencias en la terminación de una subrutina y un gestor de interrupción?

2. a) Esquematice y describa la estructura interna de un Controlador Promagrable de Interrupciones.

b) Describa cómo funciona la gestión de E/S programada con espera de respuesta.

3. a) ¿Cuáles son los elementos a tener en cuenta para el diseño de una memoria Cache?

b) ¿La coherencia de datos de un sistema jerárquico de memoria se ve afectado por el uso de DMA?

4. a) ¿De qué depende el paralelismo de una máquina superescalar?

b) ¿Cuál es el objetivo de usar la técnica de Renombre de Registros en un procesador superescalar?

5. a) ¿Qué elementos característicos definen un bus?

b) ¿Qué son los MIMD de la tanoxomía de Flynn?

**Final 10/22/2022**

1. a) ¿A que método de atención lo conocemos como de “interrupciones vectorizadas”?

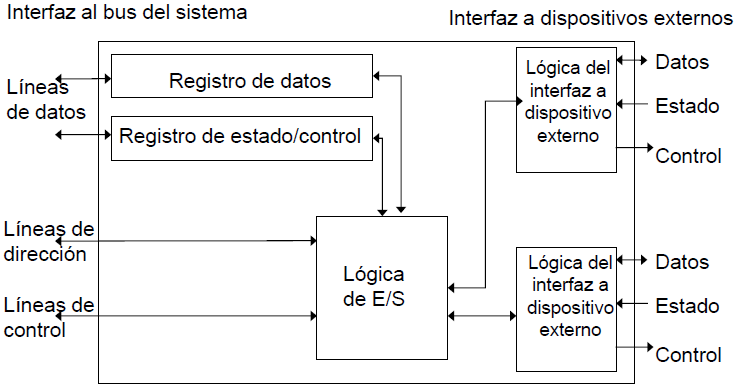
Las interrupciones vectorizadas son un método de atención utilizado en sistemas para mejorar la eficiencia en el manejo de interrupciones. Con las interrupciones vectorizadas, cuando un módulo emite una interrupción, este envía un vector que funciona como identificador al bus, para que el procesador o el controlador de interrupciones sepa cómo gestionarlo sin necesidad de preguntarle a cada módulo, es decir, que con este vector sabría cómo atender adecuadamente para tal interrupción buscando la rutina correspondiente en el vector de interrupciones e identificaría el periférico que lo emitió. Este vector es colacado directamente por el periférico o por el PIC, que se ocupa de todo.

b) ¿Cuándo, por qué, para qué y cómo se utiliza una de las denominadas interrupciones por software?

Las interrupciones por software son utilizadas para simular interrupciones de hardware en situaciones en las que no hay un dispositivo de E/S físico presente. Se pueden utilizar también para permitir que los programas realicen tareas en segundo plano mientras se espera que ocurra una interrupción por hardware, o para hacer llamadas a funciones del sistema operativo, proporcionando rapidez y eficiencia en el flujo de ejecución del sistema. Las interrupciones por software se generan mediante la ejecución de una instrucción específica en el programa, que interrumpe la secuencia normal de ejecución y pasa el control al manejador de interrupciones correspondiente.

2. a) Esquematice y describa la estructura interna de un módulo de E/S.

El módulo se conecta al resto del computador a través de un conjunto de líneas. Los datos que se transfieren a y desde el módulo se almacenan temporalmente en uno o más registros de datos. Además, puede haber uno o más registros de estado que proporcionan información del estado presente. Un registro de estado también puede funcionar como un registro de control, para recibir información de control del procesador. La lógica que hay en el módulo interactúa con el procesador a través de una serie de líneas de control. Estas son las que utiliza el procesador para proporcionar las órdenes al módulo de E/S. El módulo también debe ser capaz de reconocer y generar las direcciones asociadas a los dispositivos que controla, teniendo el módulo una dirección única o si controla a más de un dispositivo externo, un conjunto único de direcciones. Por último, el módulo de E/S posee la lógica específica para la interfaz con cada uno de los dispositivos que controla.



b) Describa los posibles modos de ubicación de los módulos de E/S.

* Espacio de E/S compartido con memoria (memory-mapped).
  + En esta técnica los registros de los dispositivos de E/S y memoria comparten un único espacio de direcciones.
  + Los registros de E/S se comportan idéntico a una memoria de lectura/escritura.
  + No hay instrucciones específicas para E/S, se usan las mismas instrucciones de movimiento de datos a memoria. Permite una variedad de órdenes de acceso a memoria (programación eficiente).
* Espacio de E/S separada de la memoria (aislada).
  + En esta técnica los registros de los dispositivos de E/S y la memoria están en diferentes espacios de direcciones.
  + Dado que el bus de direcciones compartido por la memoria y el subsistema de E/S, se requieren señales de control adicionales para identificar a donde está accediendo la CPU.
  + Hay un conjunto limitado de instrucciones específicas de E/S, distintas de las instrucciones de acceso a la memoria. Cuando se ejecutan estas instrucciones específicas, en el bus de control se identifica el acceso al mapa de direcciones de E/S, para el resto de instrucciones se identifica el acceso a memoria.

3. a) Describa las funciones de correspondencia entre Memoria Principal y Cache.

La elección de la función de correspondencia determina cómo se organiza la cache, es decir la forma en la que se van a asignar los bloques de la memoria principal en la memoria caché. Hay tres ténicas principales de correspondencia:

- Correspondencia directa: un bloque de memoria se asigna a una sola linea de cache, por lo tanto, cuando este bloque se actualice en memoria, la misma linea de cache asignada también será actualizada, lo que facilita la recuperación de datos, pero puede provocar una alta tasa de conflictos.

- Correspondencia asociativa: un bloque de memoria puede ser asignado o mapeado en cualquier linea de cache, por lo que para este caso se trata de manera distinta la metodología de localización del bloque almacenado, los bloques ahora cuentan con una etiqueta que sirve para poder ser ubicados en cache, lo que hace que sea más eficiente, pero podría conllevar costos por hardware.

- Correspondencia asociativa por conjuntos: , la cache se divide en bloques, por lo que el mapeo en memoria pasa a ser de a conjuntos de líneas (bloques) donde se le da el mismo tratamiento de etiquetado para identificar el bloque en cache. Esta combina lo mejor de las otras correspondencias.

b) Analice las políticas de escritura desde el punto de vista de la coherencia de datos.

Desde el punto de vista de la coherencia de datos, se debe evitar inconsistencias de información entre la memoria principal y cache, durante los procesos de escrituras. Es decir, que aún escribiéndose el dato en la caché, el correspondiente bloque de memoria principal debe ser actualizado en algún momento. Las políticas comunes son:

- En aciertos, escritura inmediata y post escritura. La escritura inmediata se basa en que todas las operaciones de escritura se hacen, tanto en la caché como en memoria pirncipal, mientras que en la post escritura, la información sólo se actualiza en la caché y se escribe la memoria principal cuando se reemplaza el bloque.

- En fallos, write allocate y no-write allocate. En la primera, el bloque requerido primero se copia en la caché, y luego se escribe en la caché. Y en la segunda, el bloque no se lleva a la memoria caché y se escribe directamente en la memoria principal.

4. a) ¿Qué características tienen los procesadores superescalares?

Los procesadores superescalares son aquellos procesadores donde las instrucciones comunes pueden iniciar su ejecución simultáneamente y ejecutarse de manera independiente. Algunas características de estos son: el procesador por medio de estrategias y mecanismos es capaz de ejecutar dos o más instrucciones en cada etapa, en cada ciclo se inician más de una instrucción, por ende, es necesario duplicar parte de la CPU y ALU, además cuentan con múltiples unidades funcionales segmentadas y jerarquías de memoria capaces de atender múltiples referencias de memoria. Por último, poseen una lógica para determinar depedendencias verdaderas entre valores de registros y tienen estrategias que permiten la captación de múltiples instrucciones al mismo tiempo.

b) Describa las causas que pueden retardar el funcionamiento de los mismos.

Existen limitaciones fundamentales del paralelismo: dependencia de datos verdadera, dependencia relativa al procedimiento, conflictos en los recursos, dependencia de salida y la antidependencia.

5. a) ¿Qué elementos característicos definen un bus?

Hay algunos elementos de diseño que sirven para definir y caracterizar a los buses:

- Tipo: las líneas de bus se pueden dividir en dos tipos genéricos: dedicadas y multiplexadas.

- Método de arbitraje: se refiere al proceso utilizado para gestionar y controlar el acceso de múltiples dispositivos al bus.

- Temporización: hace referencia a la coordinación de las operaciones de transferencia de datos en el bus en relación con el tiempo.

- Anchura del bus: número de líneas o cables en el bus que se utilizan para transmitir datos simultáneamente.

- Tipo de transferencia de datos: se refiere al movimiento de información desde una ubicación de almacenamiento hacia otro componente del sistema.

b) ¿Qué son los MIMD de la taxonomía de Flynn?

Los MIMD (múltiples secuencias de instrucciones y múltiples secuencias de datos) son una de las categorías de computadoras nombradas en la taxonomía de Flynn que hace referencia al conjunto de procesadores que ejecutan simultáneamente secuencias de instrucciones diferentes con conjuntos de datos diferentes. Esto significa que son capaces de procesar múltiples instrucciones al mismo tiempo y utilizar múltiples datos en paralelo. Hay múltiples unidades de control, y cada una proporciona una secuencia de instrucciones separada a su propio elemento de proceso.

El MIMD puede ser un multiprocesador de memoria compartida (SMP o sistemas NUMA), o un multicomputador de memoria distribuida (clusters).

**Final 05/07/2023**

1. a) Explique el mecanismo de interrupción.

b) Describa el tratamiento a realizar cuando hay múltiples fuentes de interrupciones.

2. a) Describa las funciones de correspondencia entre memoria principal y caché.

b) Analice las políticas de escritura desde el punto de vista de la coherencia de datos.

3. a) ¿Qué entiende por segmentación de cauce?

b) ¿Qué ventajas proporciona su implementación?

4. a) Describa tres diferentes causas que pueden retardar un cauce de instrucciones segmentado.

b) ¿Qué retardo produce cada una?

5. a) ¿Qué elementos característicos describen un bus?

b) ¿De qué depende el paralelismo de una máquina superecalar?

**Final 23/9/2023 y 23/10/2023**

1. Interrupciones. a- Explique el mecanismo de interrupción. b- Describa cómo se realiza el reconocimiento de interrupciones vectorizadas mediante el PIC.

2. E/S. a- ¿Cómo es la estructura de un módulo de E/S?. b- Describa las características funcionales del acceso directo a memoria - DMA.

3. Memoria. a- ¿Por qué funciona un sistema de memoria basado en jerarquía? b- Analice brevemente todos los elementos a tener en cuenta para el diseño de una memoria Cache.

4. Instrucciones. a- ¿Qué es la segmentación del cauce de instrucciones? b- ¿Cuánto mejora el rendimiento? c- ¿Qué es un riesgo WAR en un cauce segmentado?

5. Paralelismo. a- ¿Qué es y de qué depende el paralelismo de una máquina? b- ¿Qué características tiene la implementación de un procesador superescalar?